

캐리어 기반 3상 비엔나 정류기의 중성점 전압 불평형에 의한 출력 DC-link 저주파 리플 분석

박성준, 박화평*

*한국에너지공과대학교 에너지공학부

e-mail: sjpark84@kentech.ac.kr

Analysis Between Neutral-Point Voltage Imbalance and Low-Frequency DC-Link Ripple in a Carrier-Based Three-Phase Vienna Rectifier

Seong-Jun Park*, Hwa-Pyeong Park*

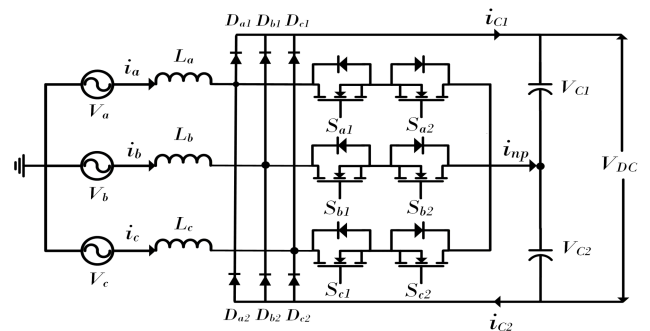
*Dept. of Energy Technology, Korea Institute of Energy Technology

요약

본 논문에서는 3상 비엔나 정류기에서 발생하는 중성점 전압 불평형 성분과 출력 DC-link 전압 저주파 리플의 관계를 분석하였다. 비엔나 정류기의 중성점 전압, 전류를 모델링하고 에너지 모델을 이용하여 중성점 전류와 전압이 출력 DC-link 전압 리플에 미치는 영향을 해석하였다. 또한 SPWM과 DPWM 적용 시 발생하는 중성점 전류 및 전압의 고조파 특성을 비교하고, 이에 따른 출력 DC-link 전압 리플의 주파수 성분을 분석하였다. 관계식에 의한 출력 전압 리플의 결과와 시뮬레이션 결과를 비교하였으며, 1% 미만의 오차를 통해 제안한 관계식의 유효성을 검증하였다. 추가로 SPWM과 DPWM의 스위칭 손실 및 입력 전류 THD를 비교하여, DPWM이 스위칭 손실 저감에는 유리하지만 출력 전압 리플 및 전류 품질 측면에서는 추가적인 고려가 필요함을 확인하였다.

1. 서론

3상 비엔나 정류기는 3레벨 구조로서 낮은 소자 전압 스트레스, 높은 입력 전류 품질 및 높은 효율을 갖는 AC-DC 전력변환 토폴로지이다.[1] 그러나 비엔나 정류기는 출력단에 상·하부로 분할된 DC-link 커패시터를 사용하는 구조적 특성으로 인해, PWM 동작 시 중성점으로 흐르는 전류가 발생하고 두 커패시터 전압 사이에 불평형이 나타난다.[2] 이와 같은 전압 불평형은 개별 커패시터 전압 리플을 증가시켜 커패시터 설계, 수명에 직접적인 영향을 미치고[3] 전체 출력 DC-link 전압의 저주파 리플에도 영향을 미친다. 본 논문에서는 3상 비엔나 정류기의 상·하부 DC-link 중성점 전압, 전류를 모델링하고, DC-link 에너지 모델을 이용하여 중성점 전류와 전압이 출력 DC-link 전압 리플에 미치는 영향을 분석한다. 또한 SPWM과 DPWM 적용 시 중성점 전류 및 전압의 고조파 성분을 비교하고, 출력 DC-link 전압 리플의 주파수 특성을 분석한다. 마지막으로 MATLAB/Simulink 기반 시뮬레이션을 통해 제안한 중성점 전압 및 전류와 출력 전압 리플 관계식의 유효성을 검증하고, PWM 방식에 따른 스위칭 손실, 출력 전압 리플 및 입력 전류 THD의 관계를 비교한다.



[그림 1] 3상 비엔나 정류기 다이어그램

2. 본론

2.1 비엔나 정류기 중성점 전압, 전류 모델링

[그림 1]은 3상 비엔나 정류기의 회로 구조를 나타낸다. 비엔나 정류기의 출력단은 직렬로 연결된 상부 및 하부 DC-link 커패시터로 구성되며, 각 커패시터 전압은 각각 V_{C1} , V_{C2} 로 정의한다. PWM 동작 시 각 상의 전류가 중성점에 불균형적으로 분배됨에 따라 상·하부 커패시터에 서로 다른 충·방전 전류가 흐르게 되며, 이로 인해 커패시터 전압 불평형이 발생하여 중성점 전압 ΔV_C 가 발생하게 된다.

$$\Delta V_C = V_{C1} - V_{C2} \quad (1)$$

두 커패시터의 전압의 합인 전체 DC-link 전압은 정상상태 DC 성분 V_o 와 리플 성분 \tilde{v} 의 합으로 표현한다.

$$V_{DC} = V_{C1} + V_{C2} \quad (2)$$

$$V_{DC} = V_o + \tilde{v} \quad (3)$$

식 (1)과 식 (2)를 이용하여 각 커패시터 전압을 전체 DC-link 전압과 중성점 전압 성분으로 나타낼 수 있다.

$$V_{C1} = \frac{V_{DC} + \Delta V_C}{2}, V_{C2} = \frac{V_{DC} - \Delta V_C}{2} \quad (4)$$

AC 계통으로부터 DC-link 커패시터로 유입되는 상부 및 하부 커패시터 전류는 각각 i_{C1}, i_{C2} 이며, 두 커패시터 전압의 합을 변화시키는 공통 전류 i_V 와 두 커패시터 전압 차이를 변형시키는 차동 전류 i_{Δ} 성분으로 나타낼 수 있다.

$$i_V = \frac{i_{C1} + i_{C2}}{2}, i_{\Delta} = \frac{i_{C1} - i_{C2}}{2} \quad (5)$$

$$i_{C1} = i_V + i_{\Delta} = C \frac{dV_{C1}}{dt} \quad (6)$$

$$i_{C2} = i_V - i_{\Delta} = C \frac{dV_{C2}}{dt} \quad (7)$$

식 (1), 식 (6), 식 (7) 으로부터 중성점에 흐르는 중성점 전류를 유도할 수 있다.

$$C \frac{d\Delta V_C}{dt} = 2i_{\Delta} = -i_{np} \quad (8)$$

식 (8)로부터 중성점 전류의 크기는 차동전류 크기의 2배임을 알 수 있고, 중성점 전류가 커질수록 상·하부 커패시터 전압 불균형이 증가한다. 공통 전류 i_V 는 식 (6)과 식 (7)을 통해 전압 리플과 직접 관련 되어있는 전류임을 알 수 있다.

$$i_V = \frac{C}{2} \frac{dV_{DC}}{dt} = \frac{C}{2} \frac{d\tilde{v}}{dt} \quad (9)$$

식 (9)을 n차 고조파 성분에 대한 페이지로 식 (10)과 같이 나타낼 수 있다.

$$\tilde{v}_n = \frac{2}{jn\omega CV_o} I_{V,n} \quad (10)$$

식 (10)을 통해 출력전압의 n차 고조파 성분은 공통 전류의 크기와 비례하여 나타남을 확인할 수 있다.

2.2 비엔나 정류기 DC-link 에너지 모델링

본 절에서는 DC-link 커패시터의 에너지 관점에서 중성점 전류와 중성점 전압이 출력 DC-link 전압 리플에 미치는 영향을 해석한다. 비엔나 정류기의 DC-link 커패시터에 저장되는 총 에너지는 상부 및 하부 커패시터 에너지의 합이다.

$$E_C = \frac{1}{2} CV_{C1}^2 + \frac{1}{2} CV_{C2}^2 \quad (11)$$

식 (3)을 식 (11)에 대입하면, 총 커패시터 에너지는 전체

DC-link 전압 V_{DC} 과 중성점 전압 ΔV_C 의 함수로 나타난다.

$$E_C = \frac{C}{4} (V_{DC}^2 + \Delta V_C^2) \quad (12)$$

DC-link 커패시터에 저장되는 순시 전력은 AC계통에서 유입되는 전력 P_{ac} 에서 부하에서 소비되는 전력 P_{loss} 과 손실로 소비되는 전력 P_{loss} 을 제외한 순전력 P_{net} 으로 나타난다.

$$\frac{dE_C}{dt} = P_{net} = P_{ac} - P_{load} - P_{loss} \quad (13)$$

$$\frac{dE_C}{dt} = \frac{C}{2} V_{DC} \frac{dV_{DC}}{dt} + \frac{C}{2} \Delta V_C \frac{d\Delta V_C}{dt} \quad (14)$$

식 (8), (9)를 사용하여 식(14)를 다음과 같이 나타낼 수 있다.

$$\frac{dE_C}{dt} = P_{net} = V_{DC} i_V - \frac{\Delta V_C i_{np}}{2} \quad (15)$$

식 (15)에서 DC-Link 에너지는 공통 에너지 성분과 중성점 에너지 성분에 의해 구성되어 있음을 보여준다. 정상상태에서 DC-link 전압의 DC 성분 V_o 가 리플 성분 \tilde{v} 보다 충분히 크다고 가정하면 공통 에너지 성분을 선형화 할 수 있다.

$$V_{DC} i_V \approx V_o i_V \quad (16)$$

따라서 식 (15)는 DC-link 전압 리플을 유발하는 공통 전류 i_V 에 대해서 다음과 같이 나타낸다.

$$V_o i_V(t) = P_{net}(t) + \frac{\Delta V_{DC}(t) i_{np}(t)}{2} \quad (16)$$

식 (16)을 식 (9)를 사용하여 나타내면 다음과 같다.

$$\frac{CV_o}{2} \frac{d\tilde{v}}{dt} = P_{net}(t) + \frac{1}{2} \Delta V_C(t) i_{np}(t) \quad (17)$$

식 (17)은 출력 DC-link 전압 리플이 외부에서 유입되는 순시 전력 리플과 중성점 불평형에 의한 에너지 항의 합으로 나타남을 보여준다. 따라서 중성점 불평형이 증가할 경우, 전체 DC-link 출력 전압의 리플이 증가한다. 식 (17)을 n차 고조파에 대한 페이지 관계식으로 나타내면 다음과 같다.

$$\tilde{V}_n = \frac{2}{jn\omega CV_o} \left[P_{net,n} + \frac{1}{2} (\Delta V_C i_{np})_n \right] \quad (18)$$

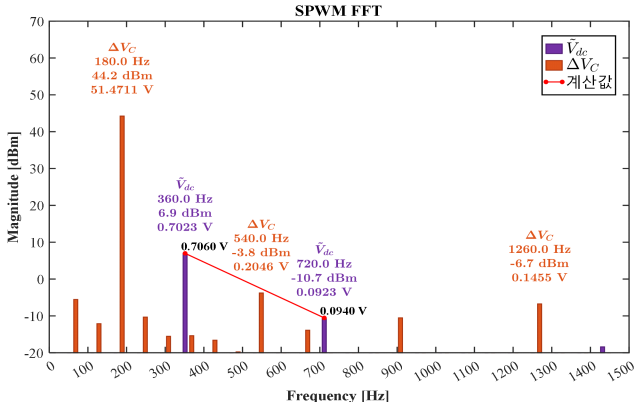
식 (18)에서 출력 전압의 n차 고조파 리플은 캐패시터 순 전력의 n차 고조파항과 중성점 불평형 에너지의 n차 고조파 항의 합으로 나타나는 것을 확인할 수 있다.

2.3 PWM에 의한 중성점 전압 변동

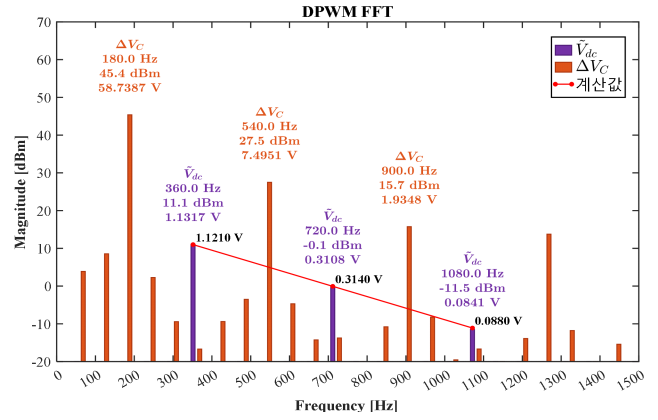
비엔나 정류기의 중성점 전류와 전압은 PWM 방법에 따라 달라진다. 중성점 전류는 각 상이 DC-link 중성점에 클램핑되는 구간에서 발생한다. 캐리어 기반 변조에서 각 상이 중성점에 연결되는 듀티를 d_x 라 하면, 중성점 전류는 각 상의 전류와 중성점 연결 듀티의 곱의 합으로 나타난다.

$$i_{np} = d_a i_a + d_b i_b + d_c i_c \quad (19)$$

듀티 d_x 는 전압 합성을 위한 모듈레이션 신호 m_x 로 나타낼



[그림 2] SPWM의 중성점 전압, DC-Link 리플전압 스펙트럼 분석



[그림 3] DPWM의 중성점 전압, DC-Link 리플전압 스펙트럼 분석

[표 1] 시뮬레이션 파라미터

파라미터	값
출력전압	650V
입력전압	380Vac
계통 주파수	60Hz
스위칭 주파수	50kHz
DC-link 캐패시턴스	525uF
필터 인덕턴스	200uH
출력 전력	30kW

수 있으며 중성점 전류는 식 (21)과 같이 나타난다.

$$d_x = 1 - |m_x|, \quad x = a, b, c \quad (20)$$

$$i_{np} = \sum_{x=a,b,c} (1 - |m_x|) i_x \quad (21)$$

SPWM을 적용하는 경우, 각 상의 변조 신호가 정현파로 주어지므로 식 (18)을 푸리에 급수로 전개하여 다음과 같이 근사할 수 있다.

$$i_{SPWM,np} \approx \frac{8}{5\pi} \hat{M} \sin(3\theta) + \frac{8}{231\pi} \hat{M} \sin(9\theta) + \dots \quad (22)$$

식 (22)를 통해 SPWM의 중성전류는 3고조파 성분이 크게 나타남을 보여준다. DPWM을 적용하는 경우에는 SPWM의 모듈레이션 신호에 영전압 변조 신호가 더해지게 된다.

$$m_x^{DPWM} = m_x^{SPWM} + z_{DPWM}(\theta) \quad (23)$$

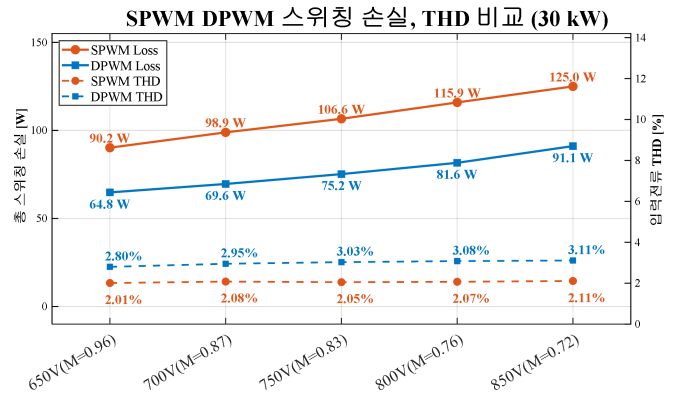
$$i_{np}^{DPWM} = \sum_{x=a,b,c} [1 - |m_x^{SPWM} + z_{DPWM}(\theta)|] i_x \quad (24)$$

식 (24)에 의하면 DPWM에 의한 중성전류는 영전압 주입 방식에 따라서 달라지게 된다. DPWM에 의한 각 상의 클램핑 구간이 클수록 스위칭 손실은 저감 되지만, 많은 중성점 전류가 흐르게 되어[4] 중성점 전압 변동이 커지게 된다. 이를 저감하기 위한 개선된 DPWM 기법이 연구되고 있다.[5]

3. 시뮬레이션 검증 및 결론

식 (18)에서 나타난 중성전압, 중성전류와 출력 DC전압 리플 관계식의 유효성을 MATLAB/Simulink을 활용한 시뮬레이션으로 검증하였다. SPWM과 DPWM[6]을 사용한 조건에

서 각각 중성점 전압과 DC 출력전압 리플 고조파 성분을 측정하였다. 그리고, DC 출력전압 리플 고조파의 시뮬레이션 값과 계산값을 비교 검증하였다. [그림 2]와 [그림 3]에서 나타난 검증결과, 출력전압 리플의 측정값과 관계식을 통한 계산값이 1%미만의 오차를 가져 식 (18)이 유효함을 확인하였다. SPWM에서는 중성전압과 중성전류에 3고조파 성분이 지배적이므로 출력전압 리플에서 6고조파 성분이 가장 크게 나타난다. DPWM에서는 3차 성분 외에도 9차 및 15차 성분이 유의미하게 포함되며, 이에 따라 출력전압 리플에는 6차, 12차, 18차 고조파 성분이 나타남을 확인하였다.



[그림 4] SPWM과 DPWM의 스위칭 손실, THD 분석

[그림 4]는 DC-link 전압 변화에 따른 SPWM과 DPWM의 스위칭 손실 및 입력전류 THD를 비교한 결과를 나타낸다. DPWM은 동일한 운전 조건에서 SPWM보다 낮은 스위칭 손실을 보이지만 출력 DC-link 전압 리플의 저주파 고조파 성분이 증가하며, 입력전류 THD가 SPWM보다 크게 나타난다. 따라서 비연나 정류기에서 PWM 방식을 선택할 때에는 단순히 스위칭 손실만을 기준으로 판단하기 어렵다. 고효율 운전을 위해 DPWM을 적용할 경우, 중성점 전압 변동, 출력 DC-link 전압 리플 및 입력전류 THD를 함께 고려해야 하며, 필요에 따라 중성점 전압 균형 제어 또는 고조파 저감형 DPWM 전략이 추가적으로 요구된다.

참고문헌

- [1] 윤병철, 김학원 and 조관열. "비엔나 정류기의 전압제어를 위한 반송파 비교 PWM" 한국산학기술학회논문지 12, no.10 (2011) : 4561-4568.
- [2] J. W. Kolar, U. Drogenik, and F. C. Zach, "Current Handling Capability of the Neutral Point of a Three-Phase/Switch/Level Boost-Type PWM (VIENNA) Rectifier," in Proc. IEEE Power Electronics Specialists Conference (PESC), 1996, pp. 1329-1336.
- [3] Hammami, M.; Rizzoli, G.; Mandrioli, R.; Grandi, G. Capacitors Voltage Switching Ripple in Three-Phase Three-Level Neutral Point Clamped Inverters with Self-Balancing Carrier-Based Modulation. Energies 2018, 11, 3244
- [4] 김민성, 이주연 and 이준석. (2024). 비엔나 정류기의 상전류 THD 저감을 위한 개선된 불연속 변조 기법. 전기학회논문지, 73(12), 2255-2263.
- [5] T. Gao, H. Cheng, W. Yuan, Q. Song, X. Li and C. Wang, "Carrier-Based Loss-Optimized DPWM Method With Current Distortion Suppression and NP Voltage Balance Control for Vienna Rectifiers," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 13, no. 6, pp. 7928-7940, Dec. 2025,
- [6] J. -S. Lee and K. -B. Lee, "Performance Analysis of Carrier-Based Discontinuous PWM Method for Vienna Rectifiers With Neutral-Point Voltage Balance," in IEEE Transactions on Power Electronics, vol. 31, no. 6, pp.